



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05013666
(43)Date of publication of application: 22.01.1993

(51)Int.Cl.

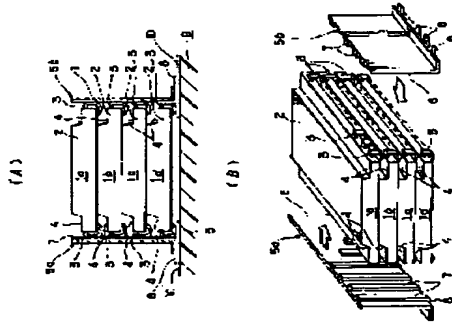
H01L 25/10
H01L 25/11
H01L 25/18
H01L 23/50
H05K 1/18

(21)Application number: 03185626 (71)Applicant: SONY CORP
(22)Date of filing: 29.06.1991 (72)Inventor: NISHINO TOMONORI

(54) COMPLEX SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the density of an integrated circuit to the occupation area by a method wherein a plurality of plastic molded type semiconductor devices having outer leads protruding on both side faces are piled up and an electrode extraction side plate having an electrode extraction wiring film is installed on either side face of the laminated body of the plastic molded type semiconductor devices.
CONSTITUTION: A resin package 2 of each plastic molded type semiconductor device 1a-1d has a cutout 4, 4,... in the upper part on each side face. The depth of the cutout is made larger than the protruding amount of J-shaped outer leads 3, 3,... from the bottom face of the resin package 2 downwards. An electrode extraction side plate 5a, 5b having an electrode extraction wiring film 7 formed on its surface is installed on each side face of the



semiconductor devices 1a-1d by connecting the electrode extraction wiring film 7 to the outer leads 3, 3,... of the semiconductor devices 1a-1d. By this method, the plurality of the semiconductor devices 1a-1d can be piled up into one body and the degree of integration of the circuit can also be increased in the same occupation area.

LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C): 1998 Japanese Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-13666

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 25/10

25/11

25/18

23/50

W 9272-4M

7220-4M

H 0 1 L 25/ 14

Z

審査請求 未請求 請求項の数1(全 5 頁) 最終頁に続く

(21)出願番号

特願平3-185626

(22)出願日

平成3年(1991)6月29日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 西野 友規

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 尾川 秀昭

(54)【発明の名称】 複合半導体装置

(57)【要約】

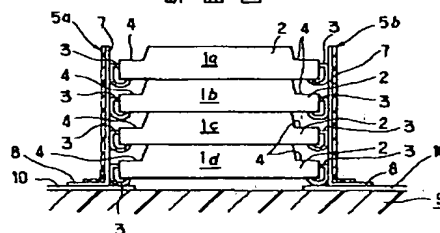
【目的】 樹脂封止型半導体装置を複数個一体化し、占有面積を増すことなく回路の集積化を高める。

【構成】 両側面に外部リードが突出した樹脂封止型半導体装置を複数積重ね、樹脂封止型半導体装置の両側面にその外部リードと接続された電極引き出し配線膜を有する電極引き出し側板を設ける。

一つの実施例

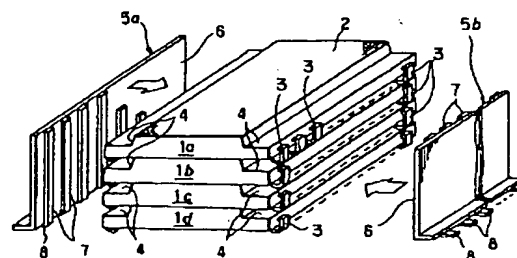
(A)

断面図



(B)

分解斜視図



1a ~ 1d ... 樹脂封止型半導体装置 7 ... 電極引き出し配線膜
2 ... 樹脂パッケージ
3 ... 外部リード
5a, 5b ... 電極引き出し側板

1

【特許請求の範囲】

【請求項1】 外部リードが樹脂パッケージの両側面に突出するように形成された樹脂封止型半導体装置を複数個積重ね、

上記複数の樹脂封止型半導体装置の両側面に、表面に電極引き出し配線膜が形成された電極引き出し側板を、該電極引き出し配線膜と上記樹脂封止型半導体装置の上記外部リードとを接続することにより取り付けてなることを特徴とする複合半導体装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複合半導体装置、特に複数の樹脂封止型半導体装置を一体化した複合半導体装置に関する。

【0002】

【従来の技術】 樹脂封止型半導体装置は一般にマザーボードと称される多層回路基板に平面的に配置されて実装される。

【0003】

【発明が解決しようとする課題】 ところで、上述した従来の技術によれば、樹脂封止型半導体装置から引き出される各配線が多層回路基板に占める面積の割合が大きくなる傾向にある。特に、データバスが多ビット化する程データ線、アドレス線の数が増えるのでその傾向が強くなる。一方、樹脂封止型半導体装置搭載機器には一般に小型化が要求されるので、配線の高密度化が要求される。従って、配線膜の幅を狭くせざるを得ない。その結果、回路の高速性、耐ノイズ性の向上が制約される。

【0004】 本発明はこのような問題点を解決すべく為されたものであり、占有面積に対する集積回路の密度を高くし、半導体装置を搭載する回路基板の小型化、配線密度の緩和化を可能にすることを目的とする。

【0005】

【課題を解決するための手段】 本発明複合半導体装置は、両側面に外部リードが突出した樹脂封止型半導体装置を複数積重ね、該複数の樹脂封止型半導体装置の両側面にその外部リードと接続された電極引き出し配線膜を有する電極引き出し側板を設けたことを特徴とする。

【0006】

【実施例】 以下、本発明複合半導体装置を図示実施例に従って詳細に説明する。図1(A)、(B)は本発明複合半導体装置の一つの実施例を示すもので、(A)は断面図、(B)は分解斜視図である。図面において、1 a、1 b、1 c、1 dは積重ねられた樹脂封止型半導体装置、例えばメモリであり、その樹脂パッケージ2の両側面から外部リード3、3、…が突出せしめられている。この外部リード3、3、…はJ字状に曲折され、先端部は樹脂パッケージ2の底面の両側部下に位置している。

【0007】 樹脂封止型半導体装置1 a、1 b、1 c、

2

dの樹脂パッケージ2は両側部の上部が切りかかれた面形状を有している。4、4、…はその切欠であり、の深さは上記J字状の外部リード3、3、…の樹脂パッケージ2底面から下側への突出量よりも大きくされている。従って、樹脂封止型半導体装置1の外部リード3、3、…が樹脂パッケージ2底面から突出しても樹脂封止型半導体装置1の上面をその一つ上の樹脂封止型半導体装置1の底面に接着させる形で積重ねることができ、尚、その接着のための接着剤として例えばエポキシ樹脂を用いる。

【0008】 5 a、5 bは電極引き出し側板で、例えばガラスエポキシフィルムからなるフィルム6、6の一方の主面に電極引き出し配線膜7、7、…を形成してなる。該電極引き出し配線膜7、7、…は、下端部が例えば外側（内側でも良い）に折り曲げられて複合半導体装置としての外部端子8、8、…を成している。

【0009】 電極引き出し側板5 a、5 bは、その電極引き出し配線膜7、7、…が積重ねられた樹脂封止型半導体装置1 a、1 b、1 c、1 dの外部リード3、3、…と半田付けされており、半田付けにより4個の樹脂封止型半導体装置1 a、1 b、1 c、1 dが一体化されている。

【0010】 本実施例において、樹脂封止型半導体装置1 a、1 b、1 c、1 dはすべてメモリであり、そして、そのアドレス線、データ入出力線、制御線、電源等の互いに対応するものは外部リード3、3、3、3が垂直に延びる同じ電極引き出し配線膜7に半田付けされている。但し、チップセレクト線については各別の電極引き出し配線膜7、7、7、7が各樹脂封止型半導体装置1 a、1 b、1 c、1 dのチップセレクト用の外部リード3、3、3、3と接続され、樹脂封止型半導体装置1 a、1 b、1 c、1 dそれぞれに独立してチップセレクト信号を印加することができるようになっている。

【0011】 複合半導体装置は、外部端子8、8、…、即ち、電極引き出し側板5 a、5 bの電極引き出し配線膜7、7、…の外側（内側でも良い）に折り曲げられた先端部がマザーボードである多層回路基板9の表面の配線膜10、10、…（図面には2本の配線膜のみが現われている。）に接続されることによって多層回路基板9に実装される。その接続は半田リフローもしくは加熱圧による半田付けで行われる。

【0012】 このような複合半導体装置によれば、複数樹脂封止型半導体装置、本実施例においては4個の樹脂封止型半導体装置1 a、1 b、1 c、1 dを積重ねて電極引き出し側板1 a、1 bにより一体化すると共に樹脂封止型半導体装置1 a、1 b、1 c、1 dの電極を電的に外部に取り出すので、同じ占有面積で回路の集積を例えば4倍にできる。即ち、メモリの記憶容量を4にできる。しかも、その積重ねられた樹脂封止型半導体装置1 a、1 b、1 c、1 d相互間の電気的接続は、

電極引き出し側板5a、5bの電極引き出し配線膜7、7、…により行うことができ、樹脂封止型半導体装置1a、1b、1c、1d相互間の電氣的接続のための配線を多層回路基板9に設ける必要がなくなる。

【0013】従って、樹脂封止型半導体装置実装用回路基板9を小型化し、該基板9に形成する配線膜10の高密度化、配線長が長くなる傾向を緩和できる。依って、信号経路の低インピーダンス化を図ることができ、信号の多数箇所における同時オン（レベルアップ）／オフ

（レベルダウン）による電源電位レベル、接地レベルの変更により生じるノイズを低減でき、また、信号遅延を防止して高速性を高めることができる。

【0014】そして、本複合半導体装置を実装した機器においては、大容量化、多機能化を図ることは、複合半導体装置の構成樹脂封止型半導体装置数を増やすことにより容易に実現でき得る。というのは、例えば、機器内蔵のメモリの容量を増やす場合には、従来においてはマザーボードである多層回路基板10として新しく樹脂封止型半導体装置の取り付け領域を増やし、それに応じて配線も付加したものを設計し直さなければならなかった。

【0015】しかるに、本発明複合半導体装置によれば複合半導体装置の構成樹脂封止型半導体装置の数を多くすることによりメモリ容量の増加を図ることが簡単にでき、多層回路基板の設計し直し等は必ずしも必要としない。

【0016】図2は本発明複合半導体装置の他の実施例を示す断面図である。本実施例は、電極引き出し側板5a、5bとしてベース6、6の外側の面（反電極引き出し配線膜側の面）に例えばアルミニウム合金等からなる放熱板11、11を接着したものである。この放熱板11、11を設けることにより複合半導体装置の放熱性をより高めることができる。

【0017】図3は本発明複合半導体装置の更に他の実施例を示す断面図である。本実施例は図2に示す複合半導体装置よりも一層放熱性を高めるために、一番下の樹脂封止型半導体装置1dの底面、各樹脂封止型半導体装置間及び一番上の樹脂封止型半導体装置1aの上面に放熱板12、12、12、12、12を設けてより放熱性を高めたものである。尚、本実施例は放熱板12、12、12、12、12を有する以外の点では図2の実施例と全く同じである。

【0018】尚、上記の図2、図3に示す実施例の電極引き出し側板5a、5bは、銅箔からなり表面に半田等のメッキを施した電極引き出し配線膜7、7、…を表面に形成した薄いガラスエポキシ樹脂製ベースフィルム6、6を放熱板11、11の表面にロウ付けにより接着することにより製造する。そして、その接着にあたってベースフィルム6、6はその下部を放熱板11の下端面に沿うように折り曲げることが必要である。

【0019】尚、電極引き出し側板5a、5bに形成する電極引き出し配線膜7、7、…には、第1に、樹脂封止型半導体装置1a、1b、1c、1dの互いに対応する外部リード3、3、3、3どうしを接続（共通配線）し、且つこれを複合半導体装置の外部端子8を通して外部に導くものがある。第2に、樹脂封止型半導体装置1a、1b、1c又は1dの1つの外部リード3を複合半導体装置の外部端子8に導く（独立配線）ものがある。

【0020】しかし、複合半導体装置によっては、樹脂封止型半導体装置1a、1b、1c、1d間の接続を行うが、複合半導体装置外部には電氣的に導出する必要がない配線がある場合もあり得る。この場合には、その接続をする電極引き出し配線膜7には外部端子8を設ける必要がない。また、上の2つの樹脂封止型半導体装置1aと1bを一对とし、下の2つの樹脂封止型半導体装置1cと1dを一对とし、対を成す樹脂封止型半導体装置どうし、即ち、1a・1bどうし、1c・1dどうしについてはアドレス線、データ入出力線等について電極引き出し側板5a、5bの電極引き出し配線膜7により共通配線するが、樹脂封止型半導体装置1a、1bと樹脂封止型半導体装置1c、1dとの間は共通接続しないというような実施態様もあり得る。また、外部リード3、3、…は必ずしもJ字状に曲折することは必要ではなく、側面から突出し樹脂パッケージ2の上面あるいは底面よりも上、下に突出しない限度で上あるいは下に曲げるようにしても良い。この場合、樹脂パッケージ2には切欠4は必ずしも必要ではない。

【0021】このように本発明複合半導体装置には、特に電極引き出し側板5a、5bの電極引き出し配線膜7、7、…のパターン、樹脂封止型半導体装置1a、1b、1c、1dの外部リード3、3、…と電極引き出し配線膜7、7、…との接続態様には種々のものが考えられ、図1に示した実施態様には限定されない。

【0022】

【発明の効果】本発明複合半導体装置は、外部リードが樹脂パッケージの両側面に突出するように形成された樹脂封止型半導体装置を複数個重ね、該複数の樹脂封止型半導体装置の両側面に、表面に電極引き出し配線膜が形成された電極引き出し側板を、該電極引き出し配線膜と上記樹脂封止型半導体装置の上記外部リードとを接続することにより取り付けてなることを特徴とするものである。従って、本発明複合半導体装置によれば、複数の樹脂封止型半導体装置、本実施例においては4個の樹脂封止型半導体装置を積重ねて一对の電極引き出し側板により一体化すると共に樹脂封止型半導体装置の電極を電氣的に外部に取り出すので、同じ占有面積で回路の集積度を例えば4倍にできる。即ち、メモリの記憶容量を例えば4倍にできる。

【0023】しかも、その積重ねられた樹脂封止型半導体装置相互間の電氣的接続は、電極引き出し側板の電極

5

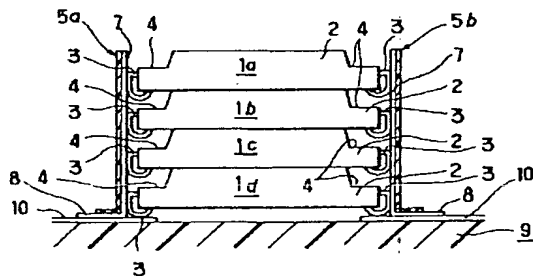
引き出し配線膜により行うことができ、樹脂封止型半導体装置相互間の電氣的接続のための配線を多層回路基板に設ける必要がなくなる。従って、樹脂封止型半導体装置実装用回路基板を小型化し、該基板に形成する配線膜の高密度化、配線長が長くなる傾向を緩和できる。依って、信号経路の低インピーダンス化を図ることができ、信号の多数箇所における同時オン（レベルアップ）／オフ（レベルダウン）による電源電位レベル、接地レベルの変動により生じるノイズを低減でき、また、信号遅延を防止して高速性を高めることができる。

【図面の簡単な説明】

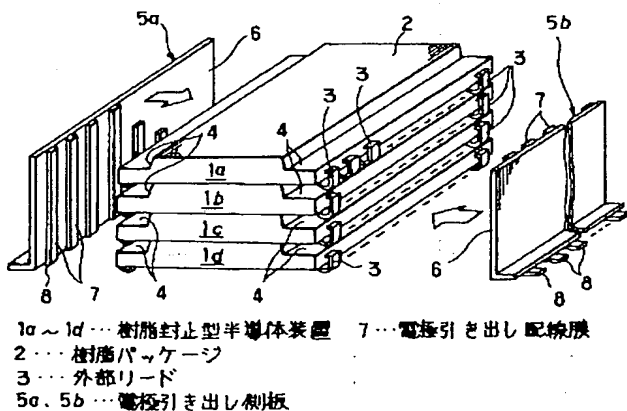
【図1】(A)、(B)は本発明複合半導体装置の一つ

【図1】

一つの実施例
(A)
断面図



(B)
分解斜視図



6

の実施例を示すもので、(A)は断面図、(B)は分解斜視図である。

【図2】本発明複合半導体装置の他の実施例を示す断面図である。

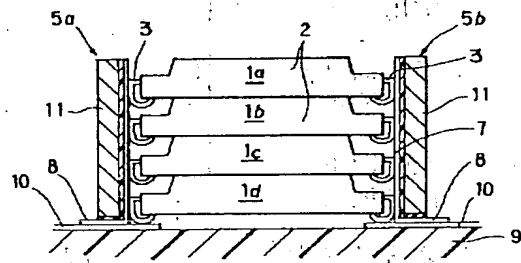
【図3】本発明複合半導体装置の更に他の実施例を示す断面図である。

【符号の説明】

- 1a、1b、1c、1d 樹脂封止型半導体装置
2 樹脂パッケージ
3 外部リード
5a、5b 電極引き出し側板
7 電極引き出し配線膜

【図2】

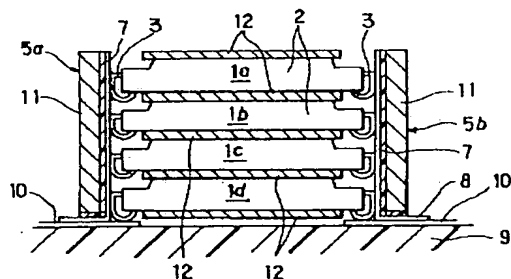
他の実施例の断面図



- 1a~1d...樹脂封止型半導体装置
2...樹脂パッケージ
3...外部リード
5a、5b...電極引き出し側板
7...電極引き出し配線膜

【図3】

更に別の実施例の断面図



【手続補正書】

【提出日】平成3年11月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】

【発明が解決しようとする課題】ところで、上述した従来の技術によれば、樹脂封止型半導体装置から引き出される各配線が多層回路基板に占める面積の割合が大きくなる傾向にある。特に、データバスが多ビット化する程データ線の数が、メモリが大容量化する程アドレス線の数が増えるのでその傾向が強くなる。一方、樹脂封止型半導体装置搭載機器には一般に小型化が要求されるの

で、配線の高密度化が要求される。従って、配線膜の幅を狭くせざるを得ない。その結果、回路の高速性、耐ノイズ性の向上が制約される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】5a、5bは電極引き出し側板で、例えばガラスエポキシフィルムからなるベースフィルム6、6の一方の主面に電極引き出し配線膜7、7、…を形成してなる。該電極引き出し配線膜7、7、…は、下端部が例えば外側（内側でも良い）に折り曲げられて複合半導体装置としての外部端子8、8、…を成している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】従って、樹脂封止型半導体装置実装用の多層回路基板9を小型化し、該基板9に形成する配線膜10の高密度化、配線長が長くなる傾向を緩和できる。依って、信号経路の低インピーダンス化を図ることができ、信号の多数箇所における同時オン（レベルアップ）／オフ（レベルダウン）による電源電位レベル、接地レベルの変更により生じるノイズを低減でき、また、信号

遅延を防止して高速性を高めることができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】そして、本複合半導体装置を実装した機器においては、大容量化、多機能化を図ることは、複合半導体装置の構成樹脂封止型半導体装置数を増やすことにより容易に実現でき得る。というのは、例えば、機器内蔵のメモリの容量を増やす場合には、従来においてはマザーボードである多層回路基板9として新しく樹脂封止型半導体装置の取り付け領域を増やし、それに応じて配線も付加したものを設計し直さなければならなかった。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】図2は本発明複合半導体装置の他の実施例を示す断面図である。本実施例は、電極引き出し側板5a、5bとしてベースフィルム6、6の外側の面（反電極引き出し配線膜側の面）に例えばアルミニウム合金等からなる放熱板11、11を接着したものである。この放熱板11、11を設けることにより複合半導体装置の放熱性をより高めることができる。

フロントページの続き

(51)Int.Cl.⁵

H05K 1/18

識別記号

庁内整理番号

F I

技術表示箇所

U 6736-4E